

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-318139

(43)Date of publication of application : 22.12.1989

(51)Int.Cl.

G06F 15/16

(21)Application number : 63-150085

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.06.1988

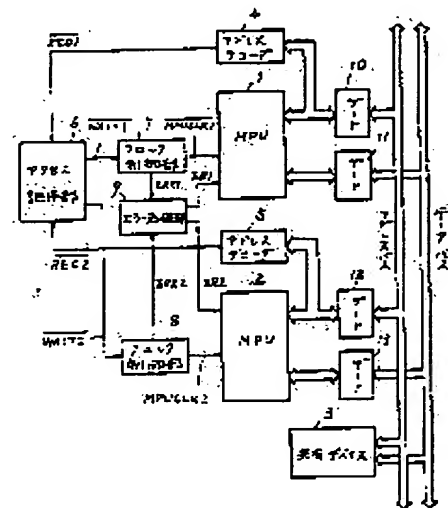
(72)Inventor : AKIMOTO TAKAHIRO

(54) MULTI-MICROPROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To remove waiting processing due to a program and to improve the reliability of a system by using plural microprocessors (MPUs) and executing the waiting operation of the MPUs due to access arbitration at the time of the bus competition of systems whose functions are mutually distributed by stopping the input clocks of the MPUs.

CONSTITUTION: The MPUs 1, 2 make access to a shared device 3 by respective address decoders 4, 5. Access request signals REQ1, REQ2 are outputted from the decoders 4, 5 to an access arbitration part 6 to request a system bus. When the access requests are competed, the arbitration part 6 activates a wait signal from a clock control part 7 or 8 of the MPU with the lower priority. Thereby, the clock control part 7 or 8 temporarily suspends the clock output to the MPU 1 or 2 to open the system bus. Thus, plural MPUs can control the shared device 3 without generating competition.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-318139

⑤ Int. Cl.⁴

G 06 F 15/16

識別記号

3 4 0

庁内整理番号

P-6745-5B

④ 公開 平成1年(1989)12月22日

審査請求 未請求 請求項の数 1 (全6頁)

⑬ 発明の名称 マルチマイクロプロセッサ方式

⑰ 特 願 昭63-150085

⑱ 出 願 昭63(1988)6月20日

⑲ 発 明 者 秋 元 隆 裕 東京都府中市東芝町1番地 株式会社東芝府中工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

マルチマイクロプロセッサ方式

2. 特許請求の範囲

複数のマイクロプロセッサにより共有されるデバイスを備え分散処理を行う装置において、ウェイト機能を持たない複数のマイクロプロセッサと、それぞれのマイクロプロセッサへクロックを供給するそれぞれのクロック制御部と、複数のマイクロプロセッサが前記デバイスを同時にアクセスしたとき、予め定められた優先順位に従って、優先順位の低いマイクロプロセッサのクロック制御部のクロックを中止するアクセス調停部を設けたことを特徴とするマルチマイクロプロセッサ方式。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、複数のマイクロプロセッサ(MPU)を結合して処理能力の向上と処理機能の分散化を図ったマルチマイクロプロセッサ方式に係り、

特にウェイト機能を持たないマイクロプロセッサを用いる場合のマルチマイクロプロセッサ方式に関するものである。

(従来の技術)

マイクロプロセッサ(MPU)は、あらゆる分野の制御装置に用いられている。それらの装置のうちで高速制御を必要とする装置、又は機能の分散化が有利となる装置では、複数のマイクロプロセッサを用いて装置を構成している。このようなマルチプロセッサ方式においては、複数のMPUが同一のメモリ内容やI/Oデータを使用するので、複数のMPUが同一のデバイスと共通のシステムバスを介して共有結合する。

したがって、マルチプロセッサ方式では複数のMPUが同一のデバイスを同時にアクセスする状態が発生する。これを競合といい、競合が発生した時は、各々のMPUからのアクセス要求を調停し、あらかじめ決められた優先順位によってアクセス権を与える。これをアクセス調停という。

通常この調停回路は、ハード・ウェアで構成し

優先順位によって、優先度の高いMPUへアクセス権を与え、優先度の低いMPUに対しては、ウェイトをかけることによって調停させる。

上記マルチプロセッサ方式の調停回路は、各々のMPUがウェイト機能を有する場合である。各々のMPUがウェイト機能を持たないつまり、ウェイトステートを挿入する専用制御入力ピンを持たない場合、次の様な方法をとる。

(1) 複数のMPUを時系列処理して使用する。

各々のMPUの同期をとり、共有デバイスのアクセスを時分割処理し、個々のMPUのアクセスできる時間(タイミング)を限定し、必ず複数のMPUが同時にアクセスしないようにする(アクセス競合をなくす)

(2) 各々のMPUのアクセス状態を監視する。

各々のMPUが、共有デバイスを使用しているか、いないかの状態を確認しながら共有デバイスを使用する。もし他のMPUが使用しているときは、それが終了するまで、待ちつづける。

第6図に2個のMPUを用いた場合の従来構成

は必ずACK信号はOFFのままにし、MPU1にアクセス権を与えない。

(発明が解決しようとする課題)

しかしながら、上記従来方式には次のような問題がある。

各々のMPUの処理は、第7図の処理フローに示す様にREQ、ACK信号を監視せねばならず、かつ、MPU2は、タイマー処理にてMPU1を監視しなければならない。前記(1)の場合、共有デバイスをアクセスするタイミングが限定されるためシステム全体の処理が、このタイミングに左右され特に高速処理のネックになる。

前記(2)の場合も、REQ、ACK信号を監視せねばならず、特にMPU2はタイマー処理が含まれるので、プログラムに負荷がかかる。また、MPUの数が多くなると、他のMPUの監視処理が複雑になり、MPUのI/Oポートの調停回路を専用する領域が増大する。

したがってウェイトを持たないMPUの共有結合処理は、プログラムに負荷がかかり、処理効率

を示し、第7図、第8図にそのMPUの共有デバイス・アクセス処理フローを示す。それぞれのMPUのI/Oポートには他のMPUからの共有デバイスアクセス要求のREQ信号と応答のACK信号のポートが割付けられている。第7図に示すようにMPU1は、共有デバイス・アクセス処理に入るとREQ信号をONし、MPU2からACK信号がONされたことを確認した後共有デバイスをアクセスする。MPU2の処理は2つに大別される。1つは第8^(a)図に示すようにある一定時間ごとにMPU1からのREQ信号を監視し、REQ信号がONになったらACK信号をONして、アクセス権をMPU1へ与える。そして、MPU1がアクセス終了し、REQ信号がOFFしたらACKをOFFする。つまりREQ信号の監視をタイマー処理する。もう1つの処理は第8^(b)図に示すようにMPU2自身が共有デバイス3をアクセスする時の処理でMPU1からのREQ信号がONしていなければ、ACKをOFFにして共有デバイスをアクセスする。共有デバイス、アクセス中

が悪く、システムのスループットが低下してしまう。

本発明は、上記問題点を解決するためになされたものであり、システムのスループットを向上させたマルチプロセッサ方式を提供することを目的としている。

(発明の構成)

(課題を解決するための手段)

上記目的を達成するために本発明は、複数のマイクロプロセッサにより共有されるデバイスを備え分散処理を行う装置において、ウェイト機能を持たない複数のマイクロプロセッサと、それぞれのマイクロプロセッサへクロックを供給するそれぞれのクロック制御部と、複数のマイクロプロセッサが前記デバイスを同時にアクセスしたとき、予め定められた優先順位に従って、優先順位の低いマイクロプロセッサのクロック制御部のクロックを中止するアクセス調停部を設けマルチマイクロプロセッサのシステムを構成する。

(作 用)

上記構成において、バス競合が発生した^{とき}アクセス調停部からの指令により優先順位の低いマイクロプロセッサのクロック制御部のクロック出力を中止して待ち状態としシステムバスを優先順位の高いマイクロプロセッサに開放して専用させる作用を行う。

(実施例)

第1図は、本発明のマルチマイクロプロセッサ方式による一実施例のブロック構成図でMPUが2個の場合の例を示したものである。

同図において、1、2はウェイト機能を持たないマイクロプロセッサ(MPU)、3はメモリや入出力装置等の共有デバイス、4、5は共有デバイスをアクセスしたことを検出するアドレスデコーダ、6はアクセスが競合したとき優先順位の低いMPUへウェイト信号を与えるアクセス調停部、7、8はMPU1、2に対し基本動作クロックを供給するクロック制御部、9はエラー処理部、10～13はMPU1、2をアドレスバスおよびデータバスに接続制御するシステムバスゲートである。

あたかもウェイトステートが挿入されたと同様の作用となる。

アクセス競合部6の詳細回路を第2図に示す。

MPU1、2が共有デバイスへアクセスしてないとき、アクセス要求信号REQ1、REQ2は共にノンアクティブで“1”となりインバータ61A、61Bの出力は共に“0”となる。従って、ウェイト信号WAIT1、WAIT2は共に“1”となりノンアクティブとなる。また、フリップフロップ65A、65Bのデータ入力は“0”となるのでその出力A、Bは共に“0”となる。

これによりアンドゲート68の入力条件 $\overline{A} \cdot \overline{B}$ が成立しBUSY信号が“1”となってアンドゲート63A、63Bを開いた状態とする。MPU1、2のいずれか一方が共有デバイスをアクセスすると該フリップフロップがセットされ自己保持すると共にBUSY信号を“0”にする。

これにより他方のMPUが後から共有デバイスをアクセスしても該フリップフロップがセットされず該ウェイト信号を“0”(アクティブ)とし、該

なおROM、RAM^等MPUに内蔵かあるいはローカルシステムバスに接続されているものとする。

上記構成において、MPU1、2が共有デバイス3をアクセスするとアドレスデコーダ4、5はアクセス要求信号REQ1、REQ2をアクセス調停部6へ出力してシステムバスの要求を行う。共有デバイスが複数の場合、アドレスデコーダ4、5は共有デバイスのチップセレクト信号の論理和からアクセス要求信号を容易に得ることができる。アクセス調停部6はアクセス要求の競合したとき優先順位の低いMPUのクロック制御部のウェイト信号をアクティブにする。これにより該クロック制御部はMPUへのクロック出力を一時中止してシステムバスを開放する。クロックが停止するとMPUはプログラムカウンタの値を保持した状態で処理を中止する。優先順位の高いMPUのアクセス要求がなくなるとアクセス調停部6は上記ウェイト信号をノンアクティブにして優先順位の低いMPUのクロック出力を再開し共有デバイスへのアクセスを行う。従って、全体から見ると、

クロック制御部のクロックの出力を中止して他方のMPUの動作を一時中止する。先に共有デバイスをアクセスした一方MPUのアクセス要求信号がノンアクティブになると上記フリップフロップがセットされ上記ウェイト信号がノンアクティブとなり他方のMPUは共有デバイスをアクセスすることが可能となる。すなわち、共有デバイスのアクセスは先取優先の機能を持つ。

MPU1、2が同時に共有デバイスをアクセスしたとき、フリップフロップ65A、65Bは共にセットされる。しかし、アンドゲート67Bの出力は“1”の状態を維持するのでWAIT2は“0”(アクティブ)になりMPU2へのクロックは中止される。これにより、共有デバイスへのアクセスが競合したときMPU1が優先してアクセスされる。

クロック制御部7、8の詳細回路を第3図に示す。

クロック供給部71はMPUの基本動作クロックCLKを供給する。ウェイト信号WAITが“1”(ノンアクティブ)のときフリップフロップ72の出

力信号 \overline{ST} は“1”となりオアゲート74を介しアンドゲート75が開かれクロック信号CLKはMPUCLK信号としてMPUへ供給される。信号 \overline{WAIT} が“0”(アクティブ)になるとフリップフロップ72の出力信号 \overline{ST} はクロックCLKに同期して“0”となりMPUCLK信号の出力を中止する。信号 \overline{WAIT} が“1”(ノンアクティブ)になると信号 \overline{ST} はクロックCLKに同期して“1”に戻り再びMPUCLK信号を出力する。この状態を第4図のタイムチャータに示す。第4図はMPUのクロック動作をクロックの立上りに同期するアップエッジ動作の例で示したが、MPUのステータスに応じ、クロックの立下りに同期するダウンエッジ動作としてもよい。これによって、MPUのステータスに同期してMPUCLK信号は停止、あるいは開始するのでクロックの停止あるいは開始時のMPUの誤動作を防止することができる。

クロック制御部7, 8に設けたカウンタ回路73はフリップフロップ72の出力信号 \overline{ST} が“0”(ア

クティブ)になった時点以後のクロック信号CLKをカウントし、所定の数を越えたときエラー信号ERRを“1”にする。このエラー信号ERRはオアゲート4を介してアンドゲート75を開くのでウェイト信号 \overline{WAIT} が“0”(アクティブ)の状態でもクロックMPUCLKの出力を再開する。また、エラー信号ERRはエラー処理部9に入力されエラー処理を行い、エラー処理部9から該MPUへエラー検出信号を出力する。

これにより、MPUがウェイト中に他のMPUがエラーを発生したとき、全MPUがシステムロックされるのを防止することができる。

なお、第1図はMPUが2個の場合について説明したが、それ以上の場合についても同様の思想で拡張することができる。第5図はMPUが3個の場合のアクセス調停部の詳細回路例を示したもので、アクセス要求信号の優先順位は $\overline{REQ1} > \overline{REQ2} > \overline{REQ3}$ の例である。

〔発明の効果〕

以上説明したように、本発明によればウェイト

機能を持たないD-Cレベルからの入力クロックが使用可能なマイクロプロセッサを複数使用し相互に機能分散システムにおいてバス競合の際のアクセス調停によるMPUのウェイト動作を、MPUの入力クロックを停止させることによって調整するようにしたので、プログラムによるウェイト処理がなくなり、処理効率が増し、システムのスループットが向上し、その結果システムの信頼性が向上するマルチマイクロプロセッサ方式を提供することができる。

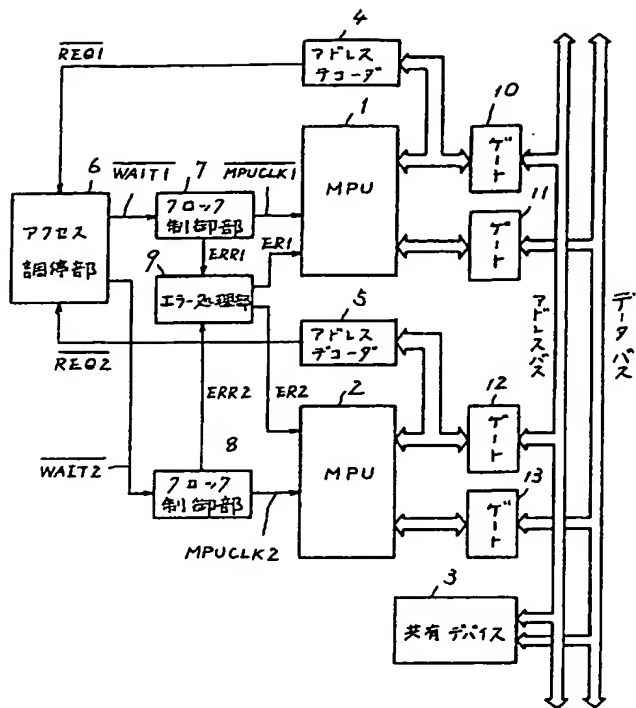
4. 図面の簡単な説明

第1図は本発明のマルチプロセッサ方式による一実施例のブロック構成図、第2図はアクセス調停部6の詳細回路図、第3図はクロック制御部7, 8の詳細回路図、第4図は本発明の作用を説明するためのタイミング・チャート、第5図はMPUが3個の場合のアクセス調停部の詳細回路図、第6図は従来のマルチマイクロプロセッサ方式のシステム構成図、第7図は従来のMPU1個の共有デバイスアクセス処理を示すフローチャート、第

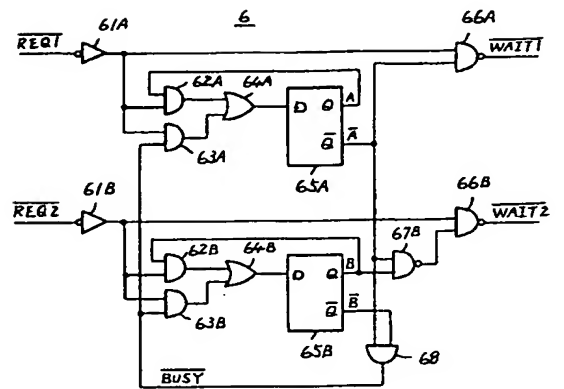
8図は、従来のMPU2側のタイマー処理と共有デバイスアクセス処理を示すフローチャートである。

- 1, 2…マイクロプロセッサ(MPU)
- 3…共有デバイス
- 4, 5…アドレスデコーダ
- 6…アクセス調停部
- 7, 8…クロック制御部
- 9…エラー処理部
- 10~13…システムバスゲート

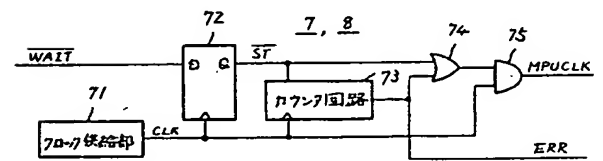
代理人 井理士 則 近 憲 佑
同 弟子丸 健



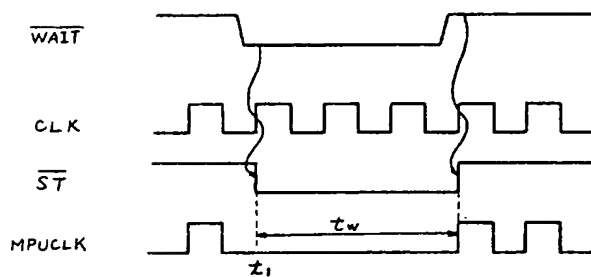
第 1 図



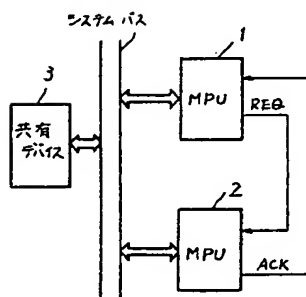
第 2 図



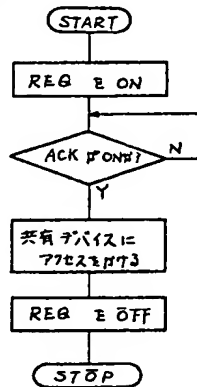
第 3 図



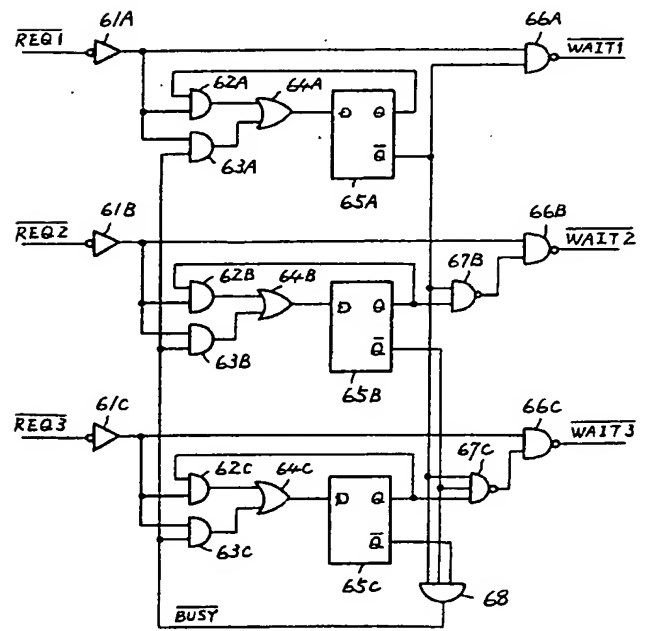
第 4 図



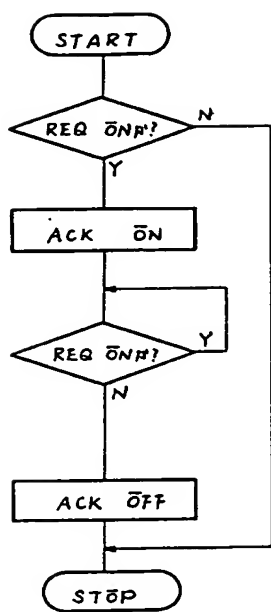
第 6 図



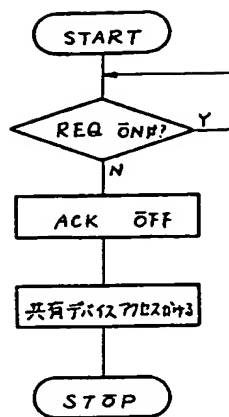
第 7 図



第 5 図



(a)
第 8 図



(b)
第 8 図